



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010075955 (43) Publication Date. 20010811

(21) Application No.1020000002910 (22) Application Date. 20000121

(51) IPC Code:

H01L 23/52

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

JUNG, YEONG DU

YOO, JU HYEON

(30) Priority:

(54) Title of Invention

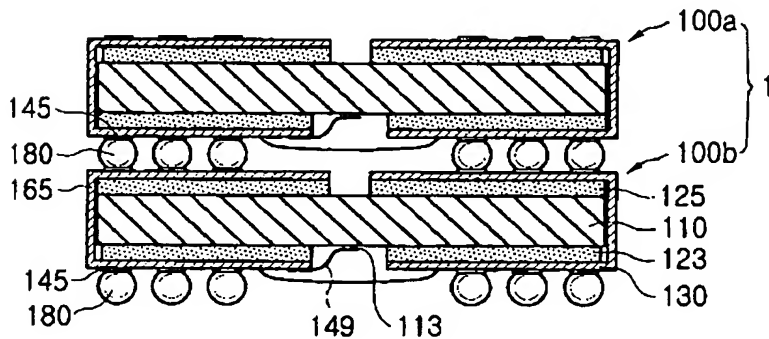
MULTI CHIP PACKAGE OF BALL GRID ARRAY TYPE

Representative drawing

(57) Abstract:

PURPOSE: A multi chip package of a ball grid array type is provided to assemble the multi chip package regardless of the positions of bonding pads and the size of the semiconductor chip.

CONSTITUTION: The ball grid array type multi chip package includes a semiconductor chip, solder ball pads(180), a cut region, and coupling members(110). The semiconductor chip includes bonding pads at predetermined regions. The ball pads includes the semiconductor chip and a window which corresponds the bonding pads. A contain region is included in the substrate which includes extended conductive leads to the solder ball pads. The cut region is spaced from each ends of the contain regions which faces each other with an amount slightly greater than the thickness of the semiconductor chip and is cut along with the side of the semiconductor chip. The coupling solder ball pads are implemented on the semiconductor chip and are implemented to make a symmetric formation with the solder ball pads. The coupling members are extended from the



coupling solder ball pads to the solder ball pads and couple the bonding pads with conductive leads.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ (11) 공개번호 특2001-0075955
H01L 23 /52 (43) 공개일자 2001년08월11일

(21) 출원번호 10-2000-0002910

(22) 출원일자 2000년01월21일

(71) 출원인 삼성전자 주식회사

(72) 발명자 경기 수원시 팔달구 매탄3동 416
유주현

충청남도아산시배방면북수리산74번지

정영두

(74) 대리인 경기도용인시수지읍풍덕천리700-1현대아파트101동1308호
임평섭

심사청구 : 없음

(54) 볼 그리드 어레이 타입의 멀티 칩 패키지

요약

본 발명은 볼 그리드 어레이 타입의 멀티 칩 패키지에 관한 것으로, 베이스 기판의 하부면 중 반도체 칩이 탑재되는 부분에는 솔더볼 패드들을 형성하고, 반도체 칩이 탑재되는 부분으로부터 반도체 칩의 두께만큼 이격된 부분에는 솔더볼 패드들과 대칭이되도록 연결용 솔더볼 패드들을 형성하며, 반도체 칩을 기준으로 베이스 기판을 반도체 칩의 상부면으로 절곡시켜 연결용 솔더볼 패드들을 반도체 칩의 상부면에 위치시켜 볼 그리드 어레이 패키지를 형성한 후에 솔더볼들이 연결용 솔더볼 패드들에 위치하도록 복수개의 볼 그리드 어레이 패키지들을 적층시켜 멀티 칩 패키지를 형성한다.

그러면, 반도체 칩의 사이즈 및 본딩패드들의 위치와 관계없이 멀티 칩 패키지를 조립할 수 있어 반도체 칩의 선택의 폭이 넓어진다. 그리고, 양품으로 판정된 볼 그리드 어레이 패키지들을 이용하여 멀티 칩 패키지를 형성함으로써, 멀티 칩 패키지의 수율 및 신뢰성이 향상되고, 또한, 멀티 칩 패키지에서 어느 하나의 볼 그리드 어레이 패키지가 손상된 경우 손상된 볼 그리드 어레이 패키지를 새로운 볼 그리드 어레이 패키지로 교체할 수 있어 리워크가 용이하다.

대표도

도3a

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 볼 그리드 어레이 타입의 멀티 칩 패키지 구조를 나타낸 분해 사시도이고,

도 2는 본 발명에 의한 베이스 기판의 배면 구조를 나타낸 사시도이며,

도 3a 내지 도 3f는 본 발명에 의한 볼 그리드 어레이 타입의 멀티 칩 패키지의 조립과정을 나타낸 순서도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 볼 그리드 어레이 타입의 멀티 칩 패키지에 관한 것으로, 더욱 상세하게는 반도체 칩이 탑재되는 베이스 기판으로 인해 반도체 칩의 상부면에 연결용 솔더볼 패드들이 형성된 볼 그리드 어레이 패키지를 적어도 2개이상 적층시켜 멀티 칩 패키지를 형성한 볼 그리드 어레이 타입의 멀티 칩 패키지에 관한 것이다.

최근, 전자·정보기기가 기능적으로는 고속화, 다기능화 및 대용량화되고, 외형적으로는 소형화, 경량화됨에 따라 이에 대응하기 위해서 반도체 칩 패키지를 하이핀(high pin)화시키고 사이즈는 현저히 줄이면서 메모리 용량은 증대시키기 위한 기술 개발이 이루어지고 있다.

이러한 기술 개발에 따라 사방에 리드들이 형성된 QFP(quad flat package)가 개발되었고, 이에 더하여 반도체 칩 패키지의 크기가 반도체 칩 크기의 120%에 근접하는 칩 스케일 패키지(chip scale package)가 개발되면서 반도체 칩 패키지의 화이핀화 및 소형화 요구를 충족시키고 있다.

그리고, 최근에는 여러개의 반도체 칩을 베이스 기판에 수평 또는 수직으로 부착한 칩 스케일 패키지 타입의 멀티 칩 패키지가 개발되면서 메모리 용량이 2배이상 증대되었고 고밀도 실장이 가능하게 되었다.

여기서, 반도체 칩을 수직으로 적층시켜 볼 그리드 어레이 타입의 멀티 칩 패키지를 제조하는 과정에 대해 개략적으로 설명하면 다음과 같다.

연결부재에 의해서 반도체 칩과 전기적으로 연결되는 접속패드들과, 솔더볼 패드들 및 이들을 상호 연결시키는 회로패턴들이 형성된 베이스 기판의 일면 소정부분에 하나의 반도체 칩(이하, '제 1 반도체 칩'이라 함)을 부착한다.

그리고, 제 1 반도체 칩의 상부면에 접착제를 부착하고, 접착제의 상부면에 다른 하나의 반도체 칩(이하, '제 2 반도체 칩'이라 함)을 부착함으로써, 2개의 반도체 칩을 수직으로 적층시킨다. 이때, 베이스 기판의 상부면에 부착되는 제 1 반도체 칩의 사이즈는 제 2 반도체 칩의 사이즈보다 커야하며, 제 1 반도체 칩의 본딩패드들은 제 1 반도체 칩의 에지에 형성되어야 한다. 이는, 제 1 반도체 칩의 상부면에 제 2 반도체 칩을 적층시킬 때 제 1 반도체 칩의 본딩패드들이 제 2 반도체 칩의 외부로 노출되어야 하기 때문이다.

제 1 및 제 2 반도체 칩이 수직으로 적층되면, 도전성 재료의 와이어를 이용하여 제 1 및 제 2 반도체 칩들에 형성된 본딩패드들과 접속패드들을 연결시킴으로써, 제 1 및 제 2 반도체 칩과 베이스 기판을 전기적으로 도통시킨다.

이후, 제 1 및 제 2 반도체 칩들과 와이어들을 외부환경으로부터 보호하기 위해서 몰딩수지를 이용하여 제 1 및 제 2 반

도체 칩들과 와이어들을 감싸고, 베이스 기판의 하부면에 형성된 솔더볼 패드들에 멀티 칩 패키지의 입출력 리드 역할을 하는 솔더볼들을 안착시킨 다음 솔더볼들을 용융시켜 솔더볼 패드들에 솔더볼들을 접속시키는 리플로우 공정을 진행함으로써 볼 그리드 어레이 타입의 멀티 칩 패키지를 형성한다.

그러나, 두개이상의 반도체 칩을 수직으로 적층시킨 후 반도체 칩들을 몰딩수지로 감싸 멀티 칩 패키지를 형성하는 경우에, 반드시 베이스 기판의 상부면에 부착되는 제 1 반도체 칩의 사이즈가 제 1 반도체 칩의 상부면에 적층되는 제 2 반도체 칩들의 사이즈 보다 커야 하고, 에지에 본딩패드들이 형성된 제 1 반도체 칩을 사용해야 하기 때문에 반도체 칩을 선택하는데 많은 제약을 받게 된다.

또한, 멀티 칩 패키지에 실장된 복수개의 반도체 칩들 중 어느 하나의 반도체 칩이 손상된 경우 손상된 반도체 칩을 리워크하지 못하며, 손상된 반도체 칩으로 인해 나머지 반도체 칩들도 전부 동작되지 않기 때문에 멀티 칩 패키지의 수율 및 신뢰성이 저하된다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 반도체 칩들의 크기와 본딩패드들의 형성 위치에 관계없이 볼 그리드 어레이 타입의 멀티 칩 패키지를 제작함으로써, 반도체 칩의 선택의 폭을 넓히는데 있다.

본 발명의 다른 목적은 볼 그리드 어레이 패키지를 조립하고 테스트한 후에 후 완벽하게 동작하는 볼 그리드 어레이 패키지들만을 서로 적층시켜 멀티 칩 패키지를 형성함으로써, 멀티 칩 패키지의 수율 및 신뢰성을 향상시키고, 만약 멀티 칩 패키지를 형성하는 동안에 어느 하나의 볼 그리드 어레이 패키지가 구동되지 않는 경우 리워크를 용이하게 할 수 있도록 하는데 있다.

본 발명의 또 다른 목적은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해 질 것이다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위해서 본 발명은 소정부면에 본딩패드들이 형성된 반도체 칩;

일면에 반도체 칩이 탑재되고 본딩패드들과 대응되는 부분에 윈도우가 형성되고 복수개의 열과 행으로 솔더볼 패드들이 형성되며 윈도우에서부터 각각 솔더볼 패드들까지 도전성 리드들이 연장된 탑재영역과, 서로 대향되는 탑재영역의 양측 단부로부터 반도체 칩의 두께보다 약간 크게 이격되어 반도체 칩의 측면을 따라 절곡되는 절곡영역과, 각각의 절곡영역과 접해 있고 절곡영역에 의해 반도체 칩의 상부면에 위치하며 솔더볼 패드들과 대칭이 되도록 연결용 솔더볼 패드들이 형성되며 연결용 솔더볼 패드들에서부터 절곡영역을 거쳐 솔더볼 패드들까지 연결리드들이 연장된 연결영역을 구비한 베이스 기판;

본딩패드들과 도전성 리드들을 전기적으로 연결시키는 연결부재들; 및

솔더볼 패드들 각각에 부착되어 반도체 칩과 외부단자를 전기적으로 연결시키는 솔더볼들을 포함하는 볼 그리드 어레이 패키지를 복수개 적층시키는데, 각각의 볼 그리드 어레이 패키지들에 형성된 연결용 솔더볼 패드들에 적층될 볼 그리드 어레이 패키지의 솔더볼들을 접속시켜 볼 그리드 어레이 패키지들을 전기적으로 도통시킨다.

이하, 본 발명에 의한 멀티 칩 패키지의 구조 및 제조 방법을 첨부된 도면 도 1 내지 도 3을 참조하여 설명하면 다음과 같다.

본 발명에 의한 멀티 칩 패키지는 볼 그리드 어레이 패키지를 복수개 적층시켜 형성하는 것으로, 베이스 기판의 하부면 중 반도체 칩이 탑재되는 영역을 기준으로 탑재영역의 양쪽에 솔더볼 패드들과 대칭이 되도록 연결용 솔더볼 패드들을 형

성하고, 반도체 칩의 하부면 모서리에서부터 반도체 칩의 상부면까지 베이스 기판을 접어 반도체 칩의 상부면에 연결용 슬더볼 패드들을 위치시킨 다음 적층되는 볼 그리드 어레이 패키지의 슬더볼들과 연결용 슬더볼 패드들을 접속시킴으로써, 적층되는 볼 그리드 어레이 패키지들을 전기적으로 도통시킨다.

도 1과 도 2 및 도 3f를 참조하여 멀티 칩 패키지를 형성하는 볼 그리드 어레이 패키지의 구조에 를 설명하면 다음과 같다.

본 발명에 의한 볼 그리드 어레이 패키지(100)는 도 1과 도 3f에 도시된 바와 같이 일면 중앙부분에 복수개의 본딩패드들(113)이 형성된 반도체 칩(110), 상부면 소정영역에 반도체 칩(110)이 부착되며 하부면에 반도체 칩(110)에 전기적인 신호를 전달하는 회로패턴들이 형성된 베이스 기판(130), 베이스 기판(130)의 상부면 소정영역들에 부착되어 반도체 칩(110)과 베이스 기판(130)을 접착시키는 접착제들(120), 본딩패드들(113)과 회로패턴들을 전기적으로 연결시키는 연결리드들(149) 및 외부장치(미도시)와 반도체 칩(110)을 전기적으로 연결시키며 볼 그리드 어레이 패키지(100)의 입출력 리드 역할을 하는 슬더볼들(180)로 구성된다.

이들 구성 요소들 중 본 발명의 핵심인 베이스 기판(130)의 구조에 대해설명하면 다음과 같다.

베이스 기판(130)은 연성을 갖는 테이프로, 회로패턴들이 인쇄된 베이스 필름(133)과, 베이스 필름(140)의 일면을 덮어 회로패턴들을 보호하는 보호필름(135)으로 구성된다.

테이프(130)는 크게 반도체 칩(110)이 부착되는 탑재영역(140), 테이프(130)를 반도체 칩(110)의 상부면 쪽으로 절곡시키기 위한 절곡영역(150), 절곡영역(150)에 의해 반도체 칩(110)의 상부면에 위치하며 적층되는 볼 그리드 어레이 패키지들(110)을 서로 연결시키는 연결영역(160) 및 테이프(130)를 소정크기로 절단하는 커팅영역(155)으로 구분되는데, 절곡영역(150)과 연결영역(160)은 탑재영역(140)을 기준으로 탑재영역(140)의 양쪽에 한개씩 형성되며 탑재영역(140)의 중앙을 기준으로 각각의 절곡영역들(150) 및 각각의 연결영역들(160)은 서로 대칭되는 위치에 형성된다.

이들 중 탑재영역(140)의 중앙부분에는 반도체 칩(110)의 본딩패드들(113)을 테이프(130)의 외부로 노출시키기 위한 윈도우(143)가 탑재영역(140)의 길이방향을 따라 길게 형성되고, 탑재영역(140)의 상부면에는 반도체 칩(110)을 테이프(130)의 상부면에 접착시키기 위한 접착제(123)가 부착된다.

탑재영역(140)의 하부면에는 도 2에 도시된 바와 같이 슬더볼들(180)이 안착되는 슬더볼 패드들(145)과, 슬더볼(180)을 통해 외부에서 인가된 전기적 신호를 반도체 칩(110)으로 전달하는 제 1 도전성 패턴들(147)이 형성되는데, 슬더볼 패드들(145)은 윈도우(143)를 기준으로 윈도우(143)의 폭방향 양쪽에 서로 소정간격 이격되어 복수개의 열과 행으로 형성되며, 제 1 도전성 패턴들(147)은 각각의 슬더볼 패드들(145)로부터 윈도우(143)의 내부 소정영역까지 연장되어 형성된다. 여기서, 제 1 도전성 패턴들(147) 중 윈도우(143)를 통해 보호필름(135)의 외부로 노출되는 부분은 앞에서 설명한 연결리드(149; 이하, '빔리드'라 한다.)이며, 압력에 의해 빔리드들(149)이 반도체 칩(110) 쪽으로 절곡되어 본딩패드들(113)과 접속된다.

두번째로 절곡영역들(150)은 탑재영역(140)의 폭방향 테두리와 접해 있고, 각 절곡영역(150)의 폭은 반도체 칩(110)의 두께와 동일하거나 약간 크게 형성되어 반도체 칩(110)의 하부면 모서리로부터 반도체 칩(110)의 상부면 모서리까지 감싼다

세번째로 연결영역들(160)은 각각의 절곡영역들(150)과 접해 있으며, 절곡영역(150)으로 인해 연결영역들(160)은 반도체 칩(110)의 상부면 모서리로부터 반도체 칩(110)의 상부면 중앙부분까지 감싼다.

그리고, 연결영역들(160)의 상부면에는 반도체 칩(110)과 연결영역들(160)을 접착시키는 접착제(125)가 부착되고, 각 연결영역들(160)의 하부면에는 도 1에 도시된 바와 같이 제 1 볼 그리드 어레이 패키지(100a)의 상부면에 적층되는 제 2 볼 그리드 어레이 패키지(100b)의 슬더볼들(180)과 전기적으로 연결되는 연결용 슬더볼 패드들(145) 및 연결용 슬더볼 패드들(165)과 슬더볼 패드들(145)을 전기적으로 연결시키는 제 2 도전성 패턴들(167)이 형성된다.

여기서, 연결용 솔더볼 패드들(165)은 탑재영역(140)에 형성된 솔더볼 패드들(145)과 대칭이 되도록 형성되며, 제 2 도전성 패턴들(167)은 솔더볼 패드들(145)에서부터 절곡영역(150)을 지나 연결용 솔더볼 패드들(165)까지 연결된다.

커팅영역(155)은 탑재영역(140)으로부터 절곡영역들(150) 및 연결영역들(160)의 외곽을 감싸도록 형성된다.

한편, 보호 필름(135)은 솔더볼 패드들(145)과 연결용 솔더볼 패드들(165)이 형성되는 베이스 필름(133)의 하부면에 부착되는 것으로, 윈도우(143)와 솔더볼 패드들(145) 및 연결용 솔더볼 패드들(165)과 대응되는 부분은 개구되어 본딩패드들(113)과 솔더볼 패드들(145) 및 연결용 솔더볼 패드들(165)을 보호필름(135)의 외부로 노출시킨다.

이와 같이 구성된 볼 그리드 어레이 패키지를 이용하여 멀티 칩 패키지를 형성하는 과정에 대해 도 3a 내지 3f를 참조하여 설명하면 다음과 같다.

도 3a에 도시된 바와 같이 테이프(110)의 상부면 중 탑재영역(140)과 연결영역들(160)에 점착제(123, 125)를 부착하는데, 탑재영역(140)에서는 윈도우(143)를 기준으로 윈도우(143)의 양쪽에 부착한다.

이후, 점착제(123)를 개재하여 탑재영역(140)의 상부면에 반도체 칩(110)을 부착시키는데, 이때, 본딩패드들(113)이 형성된 반도체 칩(110)의 일면은 점착제(123)와 마주보아야 하고, 본딩패드들(113)은 윈도우(143)를 통해 외부로 노출될 수 있도록 본딩패드들(113)과 윈도우(143)를 얼라인시킨다.

탑재영역(140)에 반도체 칩(110)이 부착되면, 테이프(130)와 반도체 칩(110)을 전기적으로 연결시키기 위해서 솔더볼 패드들(145)이 외부로 노출되도록 테이프를 뒤집은 후에 테이프(130)를 캐필러리(capillary)(미도시)의 하측으로 이동시키고, 빙리드들(149) 중 어느 하나와 캐필러리를 정합시킨 다음에 캐필러리를 하강시키는 과정을 여러번 반복하면서 빙리드들(149)을 각각의 대응하는 본딩패드들(113)과 열압착시키는 빙리드 본딩공정을 진행한다.

그리고, 도 3b에 도시된 바와 같이 본딩패드들(113)과 빙리드들(149)을 외부환경으로부터 보호하기 위해서 윈도우(143)를 포함하여 윈도우 주변을 몰딩수지로 덮고 몰딩수지를 경화시켜 몰딩물(170)을 형성한다.

계속해서, 도 3b에 도시된 바와 같이 커팅영역(155) 중 탑재영역과 대응되는 부분에 형성된 부분을 제외한 절단영역들(150)과 연결영역(160)의 외곽을 따라 커팅영역(155)을 절단하여 절곡영역들(150)과 연결영역들(160)의 소정부분을 테이프(130)로부터 분리시킨다.

절곡영역들(150)과 연결영역들(155)의 소정부분이 테이프(130)로부터 분리되면, 도 3c에 도시된 바와 같이 탑재영역(140)의 양측에 위치한 절곡영역들(150)을 반도체 칩(110)의 하부면 모서리부분으로부터 측면을 따라 상부면 모서리부분까지 접어 연결영역들(160)을 반도체 칩(110)의 상부면에 위치시킨 다음에 연결영역들(160)에 부착된 점착제(125)를 이용하여 연결영역들(160)을 반도체 칩(110)의 상부면에 점착시킨다. 그러면, 테이프(130)는 반도체 칩(110)의 하부면으로부터 반도체 칩(110)의 상부면 중앙부분까지 감싸게 되며, 연결용 솔더볼 패드들(165)은 외부로 노출되며 반도체 칩(110)의 상부면에 위치하는 솔더볼 패드들(145)과 일대일로 대응된다.

연결영역들(160)이 반도체 칩(110)의 상부면에 부착되면, 테이프(130)의 하부면에 형성된 솔더볼 패드들(145) 각각에 반도체 칩(110)의 입출력 리드 역할을 하는 솔더볼들(180)을 안착시킨 다음 솔더볼들(180)을 용융시켜 솔더볼 패드들(145)에 솔더볼들(180)을 부착시키는 리플로우 공정을 진행한다.

이후, 도 3d에 도시된 바와 같이 커팅영역(155)에서 절단되지 않은 부분, 즉 탑재영역(140)의 길이방향 양단에 존재하는 커팅영역(155)을 절단하여 테이프(130)로부터 볼 그리드 어레이 패키지(100)를 분리시킨다.

이와 같은 방법에 의해 볼 그리드 어레이 패키지(100)가 제작되면, 각각의 볼 그리드 어레이 패키지(100)를 테스트하여 불량품과 양품을 선별한 후에, 본 발명에 멀티 칩 패키지(1)를 제조하기 위해서 양품으로 판정된 볼 그리드 어레이 패키지(100)만을 적어도 2개이상 적층시킨다.

도 3f를 참조하여 이를 좀더 상세히 설명하면, 가장 하부에 위치하게 될 제 1 볼 그리드 어레이 패키지(100a)의 상부면에

제 2 볼 그리드 어레이 패키지(100b)를 적층시키는데, 제 2 볼 그리드 어레이 패키지(100b)의 하부면에 형성된 솔더볼들(180)과 제 1 볼 그리드 어레이 패키지(100a)의 상부면에 형성된 연결용 솔더볼 패드들(165)을 얼라인시킨다. 이후, 제 2 볼 그리드 어레이 패키지(100b)를 제 1 볼 그리드 어레이 패키지(100a)의 상부면에 올려놓으면 제 2 볼 그리드 어레이 패키지(100a)의 솔더볼들(180)이 제 1 볼 그리드 어레이 패키지(100b)의 연결용 솔더볼 패드들(165)에 놓여진다.

제 1 볼 그리드 어레이 패키지(100a)의 상부면에 제 2 볼 그리드 어레이 패키지(100b)가 적층되면, 제 2 볼 그리드 어레이 패키지(100b)에 형성된 솔더볼들(180)을 용융시키는 리플로우 공정을 진행하여 솔더볼들(180)을 연결용 솔더볼 패드(165)에 부착시킨다.

그러면, 도 3f에 도시된 바와 같이 제 1 볼 그리드 어레이 패키지(100a)와 제 2 볼 그리드 어레이 패키지(100b)는 연결용 솔더볼 패드들(165)과 솔더볼들(180)을 매개로 서로 도통된다. 상술한 방법으로 제 2 볼 그리드 어레이 패키지의 상부면에 복수개의 반도체 칩을 적층시켜 멀티칩 패키지를 형성한다.

발명의 효과

이상에서 설명한 바와 같이 본 발명은 베이스 기판의 하부면 중 반도체 칩이 탑재되는 부분에는 솔더볼 패드들을 형성하고, 반도체 칩이 탑재되는 부분으로부터 반도체 칩의 두께만큼 이격된 부분에는 솔더볼 패드들과 대칭이되도록 연결용 솔더볼 패드들을 형성하며, 반도체 칩을 기준으로 베이스 기판을 반도체 칩의 상부면으로 절곡시켜 연결용 솔더볼 패드들을 반도체 칩의 상부면에 위치시켜 볼 그리드 어레이 패키지를 형성한 후에 솔더볼들이 연결용 솔더볼 패드들에 위치하도록 복수개의 볼 그리드 어레이 패키지들을 적층시켜 멀티 칩 패키지를 형성한다.

그러면, 반도체 칩의 사이즈 및 본딩패드들의 위치와 관계없이 멀티 칩 패키지를 조립할 수 있어 반도체 칩의 선택의 폭이 넓어지는 효과가 있다.

또한, 볼 그리드 어레이 패키지를 만든 후에 양품으로 판정된 볼 그리드 어레이 패키지들을 이용하여 멀티 칩 패키지를 형성함으로써, 멀티 칩 패키지의 수율 및 신뢰성이 향상되고, 또한, 멀티 칩 패키지를 조립하는 과정에서 어느 하나의 볼 그리드 어레이 패키지가 손상된 경우 손상된 볼 그리드 어레이 패키지를 새로운 볼 그리드 어레이 패키지로 교체할 수 있어 리워크가 용이한 효과가 있다.

(57) 청구의 범위

청구항 1. 소정부분에 본딩패드들이 형성된 반도체 칩;

일면에 상기 반도체 칩이 탑재되고 상기 본딩패드들과 대응되는 부분에 윈도우가 형성되고 복수개의 열과 행으로 솔더볼 패드들이 형성되며 상기 윈도우에서부터 각각 상기 솔더볼 패드들까지 도전성 리드들이 연장된 탑재영역과, 서로 대향되는 상기 탑재영역의 양측 단부로부터 상기 반도체 칩의 두께보다 약간 크게 이격되어 상기 반도체 칩의 측면을 따라 절곡되는 절곡영역과, 각각의 상기 절곡영역과 접해 있고 상기 절곡영역에 의해 상기 반도체 칩의 상부면에 위치하며 상기 솔더볼 패드들과 대칭이 되도록 연결용 솔더볼 패드들이 형성되며 상기 연결용 솔더볼 패드들에서부터 상기 절곡영역을 거쳐 상기 솔더볼 패드들까지 연결리드들이 연장된 연결영역을 구비한 베이스 기판;

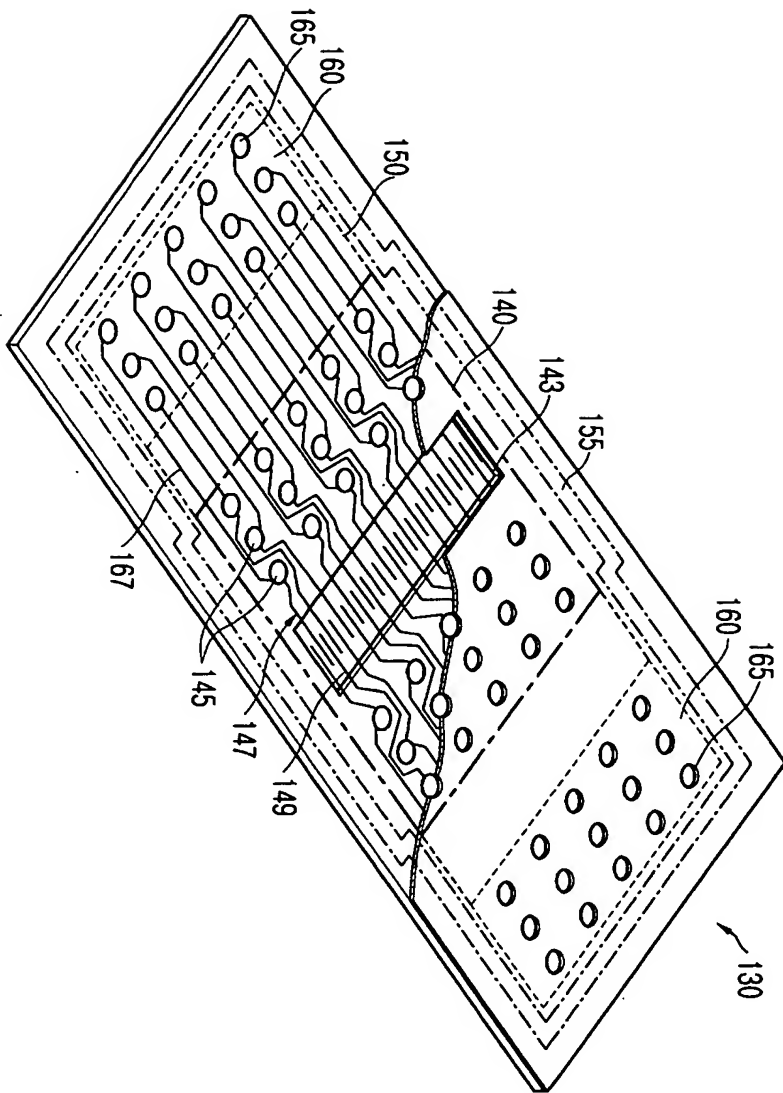
상기 본딩패드들과 상기 도전성 리드들을 전기적으로 연결시키는 연결부재들; 및

상기 솔더볼 패드들 각각에 부착되어 상기 반도체 칩과 외부단자를 전기적으로 연결시키는 솔더볼들을 포함하는 볼 그리드 어레이 패키지를 복수개 적층시키는데, 각각의 상기 볼 그리드 어레이 패키지들에 형성된 상기 연결용 솔더볼 패드들에 적층될 상기 볼 그리드 어레이 패키지의 상기 솔더볼들을 접속시켜 상기 볼 그리드 어레이 패키지들을 전기적으로 도통시키는 것을 특징으로 하는 볼 그리드 어레이 타입의 멀티 칩 패키지.

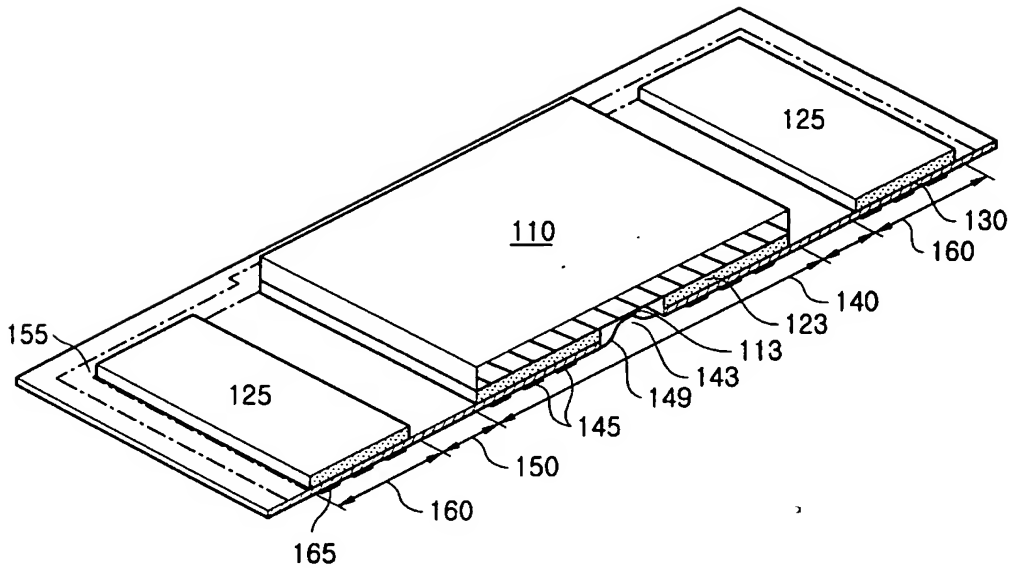
청구항 3. 제 1 항에 있어서, 상기 연결부재는 상기 도전성 리드들이 상기 윈도우의 소정부분까지 연장 형성되어 상기 윈도우의 외부로 노출된 빔리드인 것을 특징으로 하는 볼 그리드 어레이 타입의 멀티 칩 패키지.

도면 1

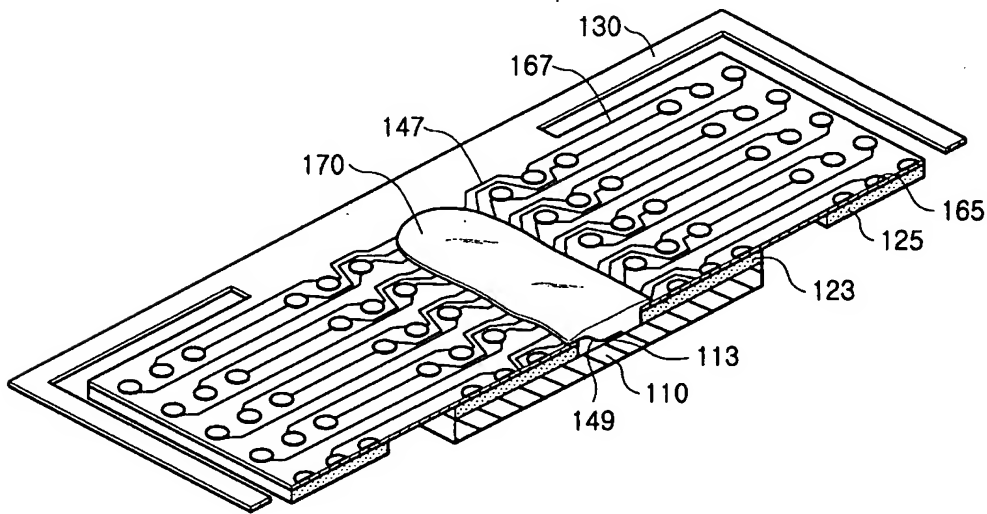




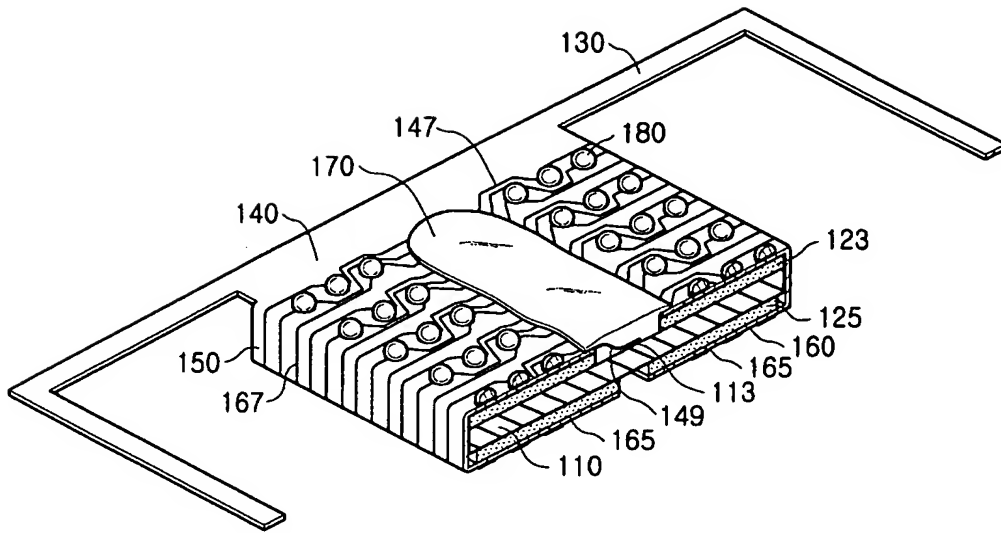
도면 3a



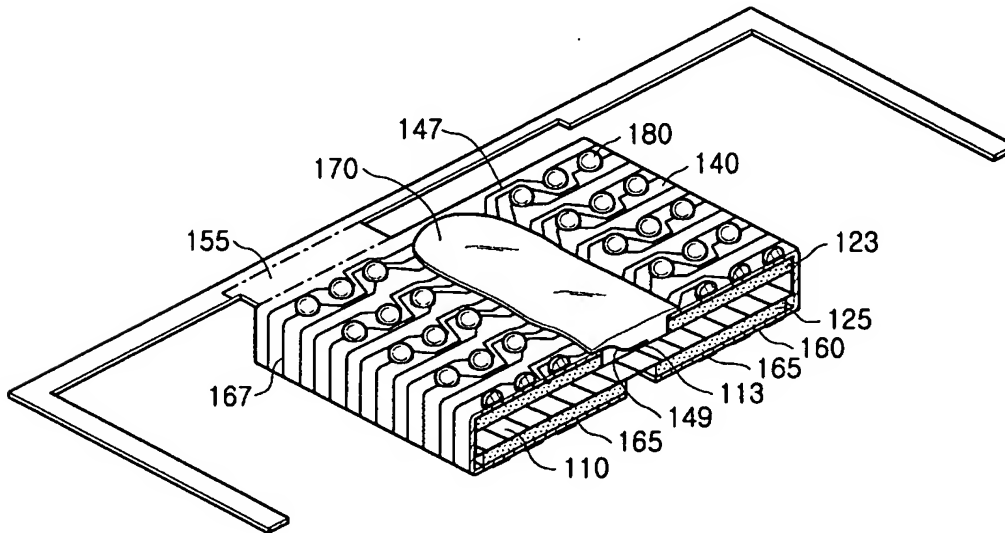
도면3b



도면3c



도면3d



도면3e

